



(19)

(11) Publication number: **2001344991 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: **2000167357**

(51) Intl. Cl.: **G11C 29/00 G11C 11/401**

(22) Application date: **05.06.00**

(30) Priority:

(43) Date of application
publication: **14.12.01**

(84) Designated contracting
states:

(71) Applicant: **FUJITSU LTD**
FUJITSU VLSI LTD

(72) Inventor: **SUGAMOTO HIROYUKI**
OGAWA KAZUKI

(74) Representative:

(54) SEMICONDUCTOR MEMORY

(57) Abstract:

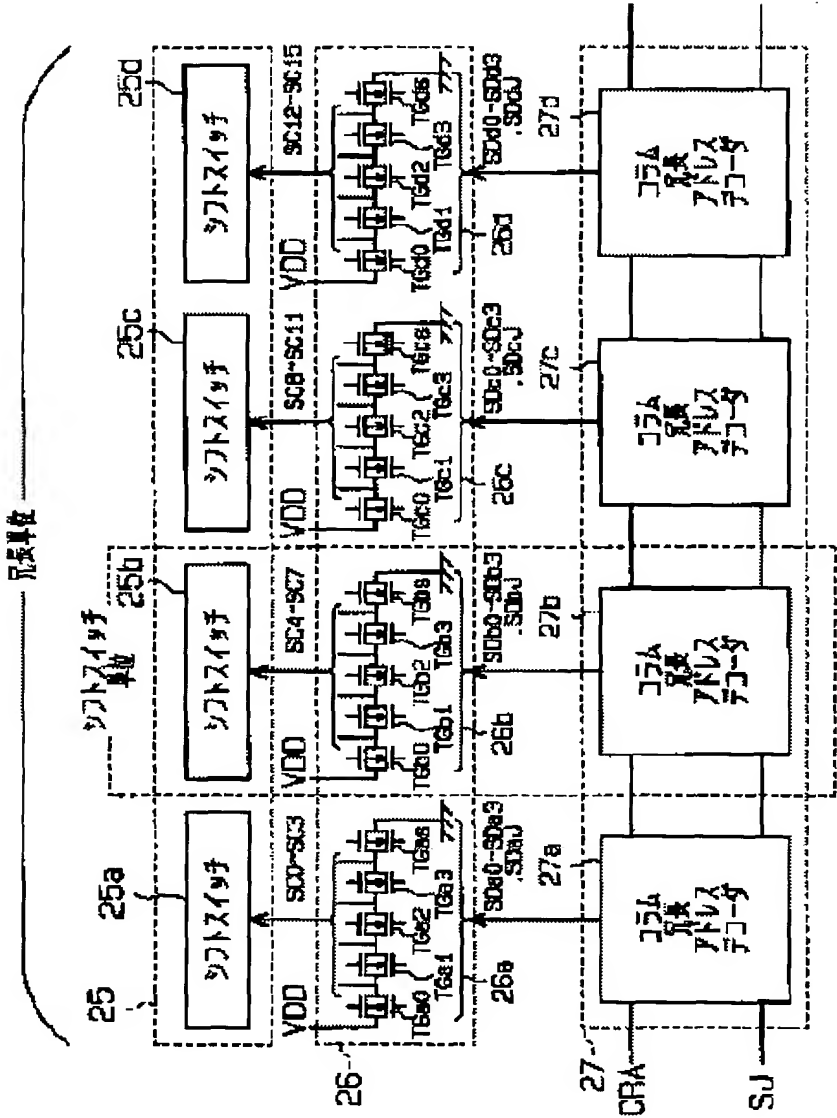
PROBLEM TO BE SOLVED: To provide such a semiconductor memory that the time required for redundant operation can be reduced, with respect to a semiconductor memory provided with a redundant device of a shift redundancy system.

SOLUTION: A switching signal generating circuit 26 is constituted of plural divided signal generating blocks 26a-26d. First to fourth blocks 26 are constituted of first to fourth transfer gates TGa0-TGa3, YGb0-YGb3, TGc0-TGc3, TGd0-TGd3 and transfer gates for redundancy TGas, TGbs, TGcs, TGds connected in series between a high potential power source VDD and a low potential power source VSS so that each block 26a-26d generates switching signals SC0-SC3, SC4-SC7, SC8-SC11, SC12-SC15 controlling four shift switches SW0-SW3, SW4-SW7, SW8-SW11, SW12-SW15

corresponding to the number of divisions respectively.

COPYRIGHT: (C)2001,JPO

冗長装置のブロック図



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-344991

(P2001-344991A)

(43)公開日 平成13年12月14日(2001.12.14)

(51)Int.Cl. ⁷	識別記号	F I	テマコード*(参考)
G 1 1 C 29/00	6 0 3	G 1 1 C 29/00	6 0 3 H 5 B 0 2 4
11/401		11/34	3 7 1 D 5 L 1 0 6

審査請求 未請求 請求項の数6 O L (全 18 頁)

(21)出願番号 特願2000-167357(P2000-167357)

(22)出願日 平成12年6月5日(2000.6.5)

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(71)出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72)発明者 菅本 博之

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74)代理人 100068755

弁理士 恩田 博宣 (外1名)

最終頁に続く

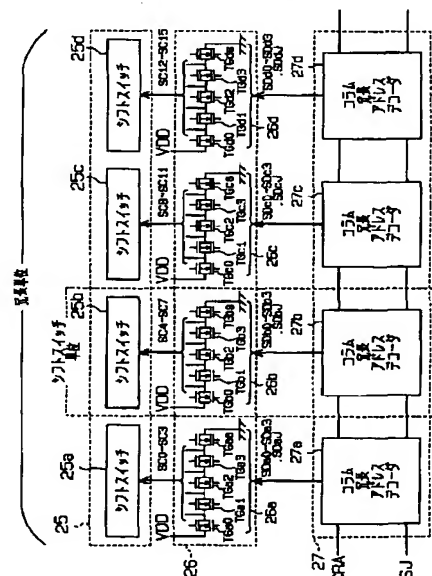
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】シフト冗長方式の冗長装置を備えた半導体記憶装置において、冗長動作に要する時間を短縮することができる半導体記憶装置を提供すること。

【解決手段】切替信号発生回路26は、分割された複数(本実施形態では4つ)の信号発生ブロック26a~26dから構成されている。各ブロック26a~26dは、それぞれ分割数に対応する4個ずつのシフトスイッチSW0~SW3, SW4~SW7, SW8~SW11, SW12~SW15を制御する切替信号SC0~SC3, SC4~SC7, SC8~SC11, SC12~SC15を生成するように、第1~第4のブロック26aは、それぞれ高電位電源VDDと低電位電源VSSの間に直列に接続された第1~第4トランスファゲートTGa0~TGa3, TGb0~TGb3, TGe0~TGe3, TGd0~TGd3と冗長用トランスファゲートTGas, TGbs, TGcs, TGdsとから構成されている。

冗長装置のブロック図



【特許請求の範囲】

【請求項1】 複数の入出力データ線を冗長アドレスに基づいてシフトスイッチを適宜切替制御して前記複数の入出力データ線に対応する複数のデータバス線及び冗長用データバス線にシフト接続し、前記複数のデータバス線の欠陥を前記冗長用データバス線にて補償する冗長装置を備えた半導体記憶装置において、

前記冗長装置は、

前記冗長アドレスをデコードした信号を出力するデコーダ回路と、

高電位電源と低電位電源との間に直列接続され、前記デコード信号にตอบสนองしてオンオフする複数のスイッチを備え、各スイッチ間から前記シフトスイッチを制御する切替信号を出力する切替信号発生回路とを備え、

前記切替信号発生回路の複数のスイッチを複数の信号発生ブロックに分割し、各ブロックのスイッチを前記高電位電源と前記低電位電源の間に直列接続したことを特徴とする半導体記憶装置。

【請求項2】 前記各信号発生ブロックは、前記複数の入出力データ線の数 (m) と前記分割数 (n : n は2以上の整数) に基づく数 (m/n) のスイッチと1つの冗長用スイッチとから構成され、前記 (m/n) 個のスイッチを前記高電位電源と前記低電位電源の間に直列に接続し、前記冗長用スイッチを前記スイッチと前記低電位電源の間に挿入接続し、前記複数のスイッチ及び前記冗長用スイッチの間から前記シフトスイッチの切替信号を出力することを特徴とする請求項1記載の半導体記憶装置。

【請求項3】 前記デコーダ回路は、前記複数の信号発生ブロックに対応する複数のデコーダブロックから構成され、該各デコーダブロックを、前記欠陥データバス線に対応するデコーダブロックが該欠陥データバス線に対応する前記スイッチをオフにするとともに前記冗長用スイッチをオンにするように前記デコード信号を生成し、前記欠陥データバス線に対応するデコーダブロックよりも上位側のデコーダブロックが前記高電位電源に接続された前記スイッチをオフにするとともに前記冗長用スイッチをオンにするように前記デコード信号を生成するように構成したことを特徴とする請求項2記載の半導体記憶装置。

【請求項4】 前記各デコーダブロックは、素子構成が同一であることを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 前記各信号発生ブロックの複数のスイッチ及び冗長用スイッチはCMOS型トランスマフゲートであることを特徴とする請求項2乃至4のうちの何れか一項に記載の半導体記憶装置。

【請求項6】 前記冗長装置はフレキシブル冗長を行うものであり、

ロウブロックアドレス情報と前記冗長アドレスが入力され、前記情報に基づいてロウブロックアドレスにより選択されるメモリセルブロックに欠陥セルが存在するかどうかを判定した判定信号を出力するロウブロックアドレス判定回路を備え、

前記冗長アドレスデコーダは、前記判定回路からの判定信号と前記冗長アドレスに基づいて前記デコード信号を出力することを特徴とする請求項1乃至5の何れか一項に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置に係り、詳しくは、半導体記憶装置に設けられた冗長装置に関するものである。

【0002】 近年の半導体記憶装置は、微細化、大容量化、省電力化の要求が益々市場では大きくなっている。微細化、大容量化に伴いメモリ内の欠陥が発生し易くなり、生産性の低下、即ち歩留まりの低下が問題となっている。これら欠陥を救済し半導体記憶装置の歩留まりの低下を抑えるための冗長装置の役割が益々大きくなっている。

【0003】

【従来の技術】 従来、半導体記憶装置の冗長装置として、シフト冗長という方式がある。図11及び図12は、そのシフト冗長方式の原理を説明するための要部回路図である。

【0004】 図11において、16本の第1～第16データバス線DB0～DB15に対して1本の冗長用データバス線DBsが設けられている。第1～第16データバス線DB0～DB15は、それぞれ冗長用シフトスイッチとしての第1～第16シフトスイッチSW0～SW15を介して第1～第16入出力データ線DQ0～DQ15にそれぞれ接続されている。

【0005】 そして、第1～第15シフトスイッチSW0～SW14により、第1～第15入出力データ線DQ0～DQ14は、対応する第1～第15データバス線DB0～DB14と、第1～第15データバス線DB0～DB14より1ビット上位の第2～第16データバス線DB1～DB15との間で切替え接続する。又、第16シフトスイッチSW15により、第16入出力データ線DQ15は、対応する第16データバス線DB15と、冗長用データバス線DBsとの間で切替え接続する。

【0006】 第1～第16シフトスイッチSW0～SW15は、図12に示すコラム冗長アドレスデコーダ11及びシフトスイッチ切替信号発生回路12により切替え制御される。コラム冗長アドレスデコーダ11は、冗長アドレス信号が入力され、その冗長アドレス信号をデコードして第1～第16シフトスイッチSW0～SW15に対応するビット数の制御信号を信号発生回路12に出力する。

【0007】 信号発生回路12は、第1～第16シフト

スイッチSW0～SW15に対応する第1～第16トランスファゲートTG0～TG15と冗長用トランスファゲートTGsとから構成され、それらは高電位電源VDDと低電位電源VSSの間に直列に接続されている。各トランスファゲートTG0～TG15、TGsの間のノードから、図11の第1～第16シフトスイッチSW0～SW15を切替え制御する切替信号が出力される。そして、第1～第16シフトスイッチSW0～SW15は、Hレベルの切替信号にตอบสนองして第1～第16入出力データ線DQ0～DQ15を第1～第16データバス線DB0～DB15にそれぞれ接続し、Lレベルの切替信号にตอบสนองして第1～第16入出力データ線DQ0～DQ15を第2～第16データバス線DB1～DB15及び冗長用データバス線DBsにそれぞれ接続する。

【0008】従って、例えば、第14データバス線DB13に接続されるメモリセルに欠陥がある場合、そのメモリセルを選択するアドレス信号が冗長アドレス信号として冗長アドレスデコーダ11に入力される。冗長アドレスデコーダ11は、冗長アドレス信号に基づいて制御信号を出力し、その制御信号にตอบสนองして第14データバス線DB13に対応するトランスファゲートTG13がオフし、冗長用トランスファゲートTGsがオンする。これにより、第14～第16シフトスイッチSW13～SW15はLレベルの切替信号にตอบสนองして、第14入出力データ線DQ13を第15データバス線DB14、第15入出力データ線DQ14を第16データバス線DB15、第16入出力データ線DQ15を冗長用データバス線DBsに接続することによってシフト冗長動作が完了する。

【0009】つまり、シフト冗長方式は、欠陥のあるデータバス線をシフトスイッチにより、欠陥のない上位ビットのデータバス線対と冗長用データバス線対に順次繋ぎ替えることで欠陥のない半導体記憶装置を実現している。

【0010】

【発明が解決しようとする課題】ところで、半導体記憶装置の大容量化やデータ転送速度の高速化の要求により、半導体記憶装置からの出力データ数（ビット数）即ちデータバス線の数多くする必要がある。これにより、冗長する単位数（データバス線数）が大きくなり、シフトスイッチの切替えを遅延させる。これは、各トランスファゲートTG0～TG15、TGsのオン抵抗と、それら及び各シフトスイッチSW0～SW15を接続する配線の容量や各トランスファゲートTG0～TG15、TGsのジャンクション容量が、各切替信号のレベル切り替え（H→L、L→H）にCR遅延を生じさせるからである。

【0011】特に最近では、小面積化と冗長効率の向上を狙って、ロウアドレスの情報を含んだコラム冗長（フレキシブル冗長と呼ばれている）が行われている。この場合、ロウアドレスが決まり、その後コラムアドレスが確定して、シフト冗長動作が開始され、シフトスイッチが切り替えられた後にデータの読み書きが行われる。従

って、シフトスイッチの切り替え遅延は、シフト動作の開始からシフトスイッチの切り替え終了までの動作時間を長くし、データの読み書きに要する時間を長くすることから、半導体記憶装置の動作速度の低下を招いている。

【0012】本発明は上記問題点を解決するためになされたものであって、その目的はシフト冗長方式の冗長装置を備えた半導体記憶装置において、冗長動作に要する時間を短縮することができる半導体記憶装置を提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明によれば、半導体記憶装置に備えられた冗長装置は、冗長アドレスをデコードした信号を出力するデコーダ回路と、高電位電源と低電位電源との間に直列接続され、デコード信号にตอบสนองしてオンオフする複数のスイッチを備え、各スイッチ間からシフトスイッチを制御する切替信号を出力する切替信号発生回路とを備え、切替信号発生回路の複数のスイッチを複数の信号発生ブロックに分割し、各ブロックの複数のスイッチを高電位電源と低電位電源の間に直列接続した。これにより、シフト動作時にスイッチの切替が切替信号に与えるCR遅延が短くなる。

【0014】各信号発生ブロックは、請求項2に記載の発明のように、複数の入出力データ線の数（ m ）と分割数（ n ： n は2以上の整数）に基づく数（ m/n ）のスイッチと1つの冗長用スイッチとから構成され、（ m/n ）個のスイッチを高電位電源と低電位電源の間に直列に接続し、冗長用スイッチをスイッチと低電位電源の間に挿入接続し、複数のスイッチ及び冗長用スイッチの間からシフトスイッチの切替信号を出力する。

【0015】デコーダ回路は、請求項3に記載の発明のように、複数の信号発生ブロックに対応する複数のデコーダブロックから構成され、該各デコーダブロックを、欠陥データバス線に対応するデコーダブロックが該欠陥データバス線に対応するスイッチをオフにするとともに冗長用スイッチをオンにするようにデコード信号を生成し、欠陥データバス線に対応するデコーダブロックよりも上位側のデコーダブロックが高電位電源に接続されたスイッチをオフにするとともに冗長用スイッチをオンにするようにデコード信号を生成するように構成されている。

【0016】各デコーダブロックは、請求項4に記載の発明のように、素子構成が同一であるため、入出力データ線の数増加に対する設計を容易にする。請求項5に記載の発明のように、各信号発生ブロックの複数のスイッチ及び冗長用スイッチはCMOS型トランスファゲートである。

【0017】請求項6に記載の発明によれば、冗長装置はフレキシブル冗長を行うものであり、ロウブロックア

ドレス情報と冗長アドレスが入力され、情報に基づいてロウブロックアドレスにより選択されるメモリセルブロックに欠陥セルが存在するか否かを判定した判定信号を出力するロウブロックアドレス判定回路を備え、冗長アドレスデコーダは、判定回路からの判定信号と冗長アドレスに基づいてデコード信号を出力する。これにより、救済効率が改善され、冗長用データバス線の数が少なくて済む。

【0018】

【発明の実施の形態】以下、本発明を具体化した一実施の形態を図1～図8に従って説明する。図1は、一実施形態の半導体記憶装置20の部分ブロック図である。

【0019】半導体記憶装置20は、メモリアレイ21、アンプ回路22、入出力回路23、冗長装置24を含み、冗長装置24は、シフトスイッチ25、シフトスイッチ切替信号発生回路26、コラム冗長アドレスデコーダ27、ロウ情報判定回路28から構成される。

【0020】メモリアレイ21は、通常使用されるメモリ部21aと冗長メモリ部21bを含み、メモリ部21aは第1～第16データバス線DB0～DB15を介してシフトスイッチ25に接続され、冗長メモリ部21bは冗長データバス線DBsを介してシフトスイッチ25に接続されている。

【0021】シフトスイッチ25は第1～第16入出力データ線DQ0～DQ15を介してアンプ回路22に接続されている。アンプ回路22はリードアンプとライトアンプとから構成され、リードアンプは第1～第16入出力データ線DQ0～DQ15上のリードデータを増幅して入出力回路23に出力し、ライトアンプは入出力回路23からのライトデータを増幅して第1～第16入出力データ線DQ0～DQ15上に出力する。

【0022】入出力回路23にはメモリアレイ21に記憶させる入力信号Diが入力される。入出力回路23は、メモリアレイ21から読み出されたセル情報に基づく出力信号Doを出力する。

【0023】ロウ情報判定回路28には、コラム冗長アドレスCRAとロウブロックアドレス情報信号RXが入力される。これらの信号CRA、RXは、予め不揮発性レジスタ等に記憶された欠陥情報（ロウブロック及びコラムアドレス）に基づいて、コラム冗長シフト系回路、例えば図示しないアドレスバッファにより生成され供給される。

【0024】判定回路28は、ロウブロックアドレス情報信号RXとコラム冗長アドレスCRAとに基づいてその時々シフト動作を行うか否かを判定し、その判定信号SJをコラム冗長アドレスデコーダ27に出力する。

【0025】冗長アドレスデコーダ27は、判定信号SJとコラム冗長アドレスCRAとを入力し、それらに基づいて、冗長単位内でどのデータバスからシフトさせるかを決定し、デコード信号SDを出力する。具体的に

は、冗長アドレスデコーダ27は、コラム冗長アドレスCRAをデコードし、判定信号SJに基づいて冗長動作を行う場合に切替信号発生回路26にデコード信号SDを出力する。

【0026】切替信号発生回路26はデコード信号SDを入力し、それに基づいてシフトスイッチ25を制御する切替信号SCを出力する。シフトスイッチ25はスイッチ群からなり、切替信号発生回路26からの切替信号SCに応答してオンオフする。これにより、第1～第16入出力データ線DQ0～DQ15が、第1～第16データバス線DB0～DB15及び冗長データバス線DBsから欠陥データバス線を除くデータバス線に切り替え接続される。

【0027】次に、冗長単位について説明する。図7は、メモリアレイ21の概念図である。メモリアレイ21は、マトリックス状に配列された複数のメモリセルブロック31から構成される。複数のメモリセルブロック31はある単位に分けて冗長が実施される。この時の単位を冗長単位と呼ぶ。

【0028】コラムアドレスにより選択される複数のメモリセルブロック、即ちビット線方向（又はデータバス方向という）に並べられた（同一ビット線に接続されたメモリセルを含む）複数のメモリセルブロック31にてコラムブロックを構成し、ワード線方向に並べられた（同一ワード線に接続されたメモリセルを含む）複数のメモリセルブロック31にてロウブロックを構成する。即ち、メモリアレイ21は、複数のロウブロック32（又は複数のコラムブロック）から構成され、各ロウブロック32は複数のメモリセルブロック31から構成される。そして、各メモリセルブロック31は入出力データバス線に対応する数のメモリセル、即ち本実施形態では第1～第16入出力データ線DQ0～DQ15に対応する16個のメモリセルから構成される。

【0029】即ち、第1～第16入出力データ線DQ0～DQ15に対して選択された1つのメモリセルブロック31を構成する16個のメモリセルが読み出し・書き込みの対象となる。従って、このメモリセルブロック31内に欠陥メモリセルが含まれる場合、その欠陥メモリセルが接続されるデータバス線を欠陥データバス線としてシフト冗長が行われる。即ちメモリセルブロック31が冗長単位となる。

【0030】次に、フレキシブル冗長について説明する。図8は、フレキシブル冗長の説明図であり、図1及び図7のメモリアレイ21及び冗長装置24を冗長単位毎に破線で囲んで示してある。

【0031】説明を簡単にするために、メモリアレイ21はデータバス方向に4つのメモリセルブロック31a～31dを備え、それぞれロウブロックアドレスRBA0～RBA3が割り当てられているものとする。そして、各冗長単位毎に1本の冗長用データバス線DBsが用意されている。

【0032】今、各メモリセルブロック31a～31dにそれぞれ1つの欠陥が存在する。この場合、各ブロック31a～31dのロウブロックアドレスRBA0～RBA3がそれぞれコラム冗長シフト系回路33a～33dに記憶される。

【0033】そして、第1のメモリセルブロック31aは、第2データバス線DB1にメモリセルに欠陥がある（第2データバス線DB1に欠陥がある、という）。第2のメモリセルブロック31bは第1データバス線DB0に欠陥があり、第3のメモリセルブロック31cは第16データバス線DB15に欠陥があり、第4のメモリセルブロック31dは第15データバス線DB14に欠陥がある。

【0034】第1のメモリセルブロック31aをアクセスする場合、そのアドレス信号（ロウアドレス信号及びコラムアドレス信号）によって指定されるロウブロックアドレスRBA0によりコラム冗長シフト系回路33aからロウブロックアドレス情報信号RXが出力される。それとコラム冗長アドレスCRAにより、冗長アドレスデコーダ27及び切替信号発生回路26によりシフトスイッチ25が欠陥がある第2データバス線DB1を使用しないように、第3～第16データバス線DB2～DB15及び冗長用データバス線DBsが第2～第16入出力データ線DQ1～DQ15にシフトして接続される。

【0035】同様に、第2のメモリセルブロック31bをアクセスする場合、欠陥がある第1データバス線DB0を使用しないように、第2～第16データバス線DB1～DB15及び冗長用データバス線DBsが第1～第16入出力データ線DQ0～DQ15にシフトして接続される。また、第3のメモリセルブロック31cをアクセスする場合、欠陥がある第16データバス線DB15を使用しないように、冗長用データバス線DBsが第16入出力データ線DQ15にシフトして接続される。更に、第4のメモリセルブロック31dをアクセスする場合、欠陥がある第15データバス線DB14を使用しないように、第16データバス線DB15及び冗長用データバス線DBsが第15及び第16入出力データ線DQ14、DQ15にシフトして接続される。

【0036】このように、冗長単位毎に1本の冗長用データバス線DBsを用意することで、各メモリセルブロック31a～31b内に2つ以上の欠陥が無ければ、コラム冗長シフト系回路の数まで救済することができ、救済効率が高い。

【0037】図2は、半導体記憶装置20の要部ブロック図であり、冗長装置24のブロック図である。シフトスイッチ25は、従来回路（図9参照）と同様に第1～第16入出力データ線DQ0～DQ15に対応する16個のシフトスイッチSW0～SW15から構成されている。

【0038】切替信号発生回路26は、分割された複数（本実施形態では4つ）の信号発生ブロック26a～26dから構成されている。分割数n（2以上の整数）は、データバス線の数mに対応して、例えば達成しよう

とするシフト動作の動作時間に応じて設定される。各ブロック26a～26dは、それぞれ分割数に対応して（ m/n ）個、即ち本実施形態では4（ $=16/4$ ）個ずつのシフトスイッチSW0～SW3，SW4～SW7，SW8～SW11，SW12～SW15を制御する切替信号SC0～SC3，SC4～SC7，SC8～SC11，SC12～SC15を生成するように構成されている。

【0039】即ち、第1のブロック26aは、第1～第4切替信号SC0～SC3を生成するように、それに対応する第1～第4トランスファゲートTGA0～TGA3と冗長用トランスファゲートTGasとから構成され、それらは高電位電源VDDと低電位電源VSSの間に直列に接続されている。各トランスファゲートTGA0～TGA3，TGasの間のノードから、第1～第4シフトスイッチSW0～SW3を切り替え制御する切替信号SC0～SC3が出力される。

【0040】同様に、第2のブロック26bは、第5～第8切替信号SC4～SC7を生成するように、高電位電源VDDと低電位電源VSSの間に直列に接続された第1～第4トランスファゲートTGB0～TGB3と冗長用トランスファゲートTGasとから構成されている。第3のブロック26cは、第9～第12切替信号SC8～SC11を生成するように、高電位電源VDDと低電位電源VSSの間に直列に接続された第1～第4トランスファゲートTGC0～TGC3と冗長用トランスファゲートTGcsとから構成されている。第4のブロック26dは、第13～第16切替信号SC12～SC15を生成するように、高電位電源VDDと低電位電源VSSの間に直列に接続された第1～第4トランスファゲートTGD0～TGD3と冗長用トランスファゲートTGBsとから構成されている。

【0041】コラム冗長アドレスデコーダ27は、各信号発生ブロック26a～26dに対応して分割された複数（4つ）のデコーダブロック27a～27dから構成されている。各デコーダブロック27a～27dは、コラム冗長アドレスCRA及び判定信号SJを入力し、各ブロック27a～27dに対応する第1～第16データバス線DB0～DB15の何れかに欠陥がある場合に、その欠陥のあるデータバス線より上位ビットのデータバス線及び冗長用データバス線を下位ビット側にシフト接続するように生成した各デコード信号及び冗長デコード信号SDa0～SDa3，SDaJ，Sdb0～Sdb3，SdbJ，Sdc0～Sdc3，SdcJ，Sdd0～Sdd3，SddJを出力する。

【0042】欠陥データバス線に対応するデコーダブロックは、その欠陥データバス線に対応する信号発生ブロックのトランスファゲートをオフに制御するとともに冗長用トランスファゲートをオンに制御するように生成した切替信号を出力する。

【0043】また、欠陥のあるデータバス線に対応するデコーダブロックよりも上位ビット側の全てのデコーダブロックは、対応する制御信号が全てLレベルとなるように、対応する各信号発生ブロックの第1トランスファ

ゲートをオフに制御するとともに冗長用トランスファゲートをオンに制御するように生成した切換信号をそれぞれ出力する。

【0044】上記の動作を第2データバス線DB1に欠陥がある場合について説明する。第1のデコーダブロック27aは、欠陥がある第2データバス線DB1に対応して第1の信号発生ブロック26aの第2トランスファゲートTGa1をオフに、冗長用トランスファゲートTGasをオンに制御するように生成した第1～第4デコード信号SDa0～SDa3及び冗長デコード信号SDaJを出力する。これにより、第1の信号発生ブロック26aは、Hレベルの第1切替信号SC0とLレベルの第2～第4切替信号SC1～SC3を出力する。

【0045】この時、第1の信号発生ブロック26aは、第2～第4切替信号SC1～SC3のレベル切り替え(H→L)にオンした3つのトランスファゲートTGa2, TGa3, TGasによるCR遅延しか生じないため、その切り替えに要する時間は、従来に比べて短い。従来方法では、第3～第16トランスファゲートTG2～TG15及び冗長用トランスファゲートTGsの15個分のCR遅延が生じるからである。

【0046】また、第1のデコーダブロック27aより上位ビット側の第2～第4のデコーダブロック27b～27dは、第2～第4の信号発生ブロック26b～26dの第1トランスファゲートTGb0, TGc0, TGd0をオフに、冗長用トランスファゲートTGbs, TGcs, TGdsをオンに制御するように生成した第1～第4及び冗長用デコード信号Sdb0～Sdb3, SdbJ, Sdc0～Sdc3, SdcJ, Sdd0～Sdd3, SddJを出力する。これにより、第2～第4の信号発生ブロック26b～26dは、Lレベルの第5～第8切替信号SC4～SC7、第9～第12切替信号SC8～SC11、第13～第16切替信号SC12～SC15を出力する。

【0047】この時、第2～第4の信号発生ブロック26b～26dは、それぞれ第5～第8切替信号SC4～SC7、第9～第12切替信号SC8～SC11、第13～第16切替信号SC12～SC15のレベル切り替え(H→L)にオンした4つのトランスファゲートTGb1～TGb3, TGbs, TGc1～TGc3, TGcs, TGd1～TGd3, TGdsによるCR遅延しか生じないため、その切り替えに要する時間は、従来に比べて短い。

【0048】上記ではHレベルからLレベルに切り替える場合について説明したが、LレベルからHレベルに切り替える場合も同様である。即ち、第1～第4の信号発生ブロック26a～26dでは、第1～第4制御信号の切り替えに最大でも4個のトランスファゲートによるCR遅延しか生じない。また、第1～第4の信号発生ブロック26a～26dにおけるCR遅延はほぼ同じ(欠陥のあるデータバス線に対応する信号発生ブロックよりも上位ビット側の信号発生ブロックでは同一のCR遅延時間)となる。

【0049】次に、シフトスイッチ25の構成を説明する。図3は、シフトスイッチ25の一部回路図であり、第10及び第11シフトスイッチSW9, SW10の回路図である。

【0050】第10シフトスイッチSW9は、4個の第1～第4トランスファゲート41～44とインバータ回路45とを有している。各トランスファゲート41～44は、PチャネルMOSトランジスタ(PMOSトランジスタ)とNチャネルMOSトランジスタ(NMOSトランジスタ)とからなる。

【0051】第1トランスファゲート41は、第10入出力データ線DQ9zと第10データバス線DB9zとの間に接続され、第10入出力データ線DQ9zと第10データバス線DB9zを接離する。第2トランスファゲート42は、第10入出力データ線DQ9xと第10データバス線DB9xとの間に接続され、第10入出力データ線DQ9xと第10データバス線DB9xを接離する。

【0052】第3トランスファゲート43は、第10入出力データ線DQ9zと第11データバス線DB10zとの間に接続され、第10入出力データ線DQ9zと第11データバス線DB10zを接離する。第4トランスファゲート44は、第10入出力データ線DQ9xと第11データバス線DB10xとの間に接続され、第10入出力データ線DQ9xと第11データバス線DB10xを接離する。

【0053】第1、第2トランスファゲート41, 42のPMOSトランジスタのゲート、及び、第3、第4トランスファゲート43, 44のNMOSトランジスタのゲートには、第10切替信号SC9を入力する。

【0054】第1、第2トランスファゲート41, 42のNMOSトランジスタのゲート、及び、第3、第4トランスファゲート43, 44のPMOSトランジスタのゲートには、インバータ回路45を介して第10切替信号SC9を入力する。

【0055】そして、第10切替信号SC9がLレベル(低電位電圧)のとき、第1及び第2トランスファゲート41, 42はオンし、第3及び第4トランスファゲート43, 44はオフする。従って、第10入出力データ線DQ9z, DQ9xは、第10データバス線DB9z, DB9xと接続され、第11データバス線DB10z, DB10xと遮断される。又、第10切替信号SC9がHレベル(高電位電圧)のとき、第1及び第2トランスファゲート41, 42はオフし、第3及び第4トランスファゲート43, 44はオンする。従って、第10入出力データ線DQ9z, DQ9xは、第11データバス線DB10z, DB10xと接続され、第10データバス線DB9z, DB9xと遮断される。

【0056】つまり、第10シフトスイッチSW9は、第10切替信号SC9に基づいて第10入出力データ線DQ9z, DQ9xを、第10データバス線DB9z, DB9xと第11データバス線DB10z, DB10xを切替制御する。

【0057】尚、第11シフトスイッチSW10の構成は第

10シフトスイッチSW9のそれと同じであり、第11切替信号SC10により動作するだけであるため、説明を省略する。また、第1～第9及び第12～第16シフトスイッチSW0～SW8、SW11～SW15は、入力される切替信号SC0～SC15が相違するだけで回路構成は同じであるので、図面及び説明を省略する。

【0058】図4は、第1及び第2の信号発生ブロック26a、26b、第1及び第2のデコーダブロック27a、27b及び判定回路28の回路図であり、図5は、第3及び第4の信号発生ブロック26c、26d及び第3及び第4のデコーダブロック27c、27dの回路図である。

【0059】図4及び図5において、図1及び図2のコラム冗長アドレスCRAはアドレス信号AX<3:0>、BX<3:0>、CX<0>から構成された複数ビットの信号である。これら信号の<3:0>は4ビットの信号から構成されることを示す。

【0060】判定回路28はノア回路から構成され、ロウブロックアドレス情報信号RXと冗長アドレス信号CX<0>を入力する。判定回路28は、Hレベルの情報信号RXにตอบสนองして判定信号CJとして冗長アドレス信号CX<0>を出力する。

【0061】第1のデコーダブロック27aは、ノア回路51～55、ナンド回路56、インバータ回路57～61を含む。第1～第4ノア回路51～54は3入力素子であり、第1アドレス信号AX<0>、AX<3>がそれぞれ入力され、共通に第2及び第3アドレス信号BX<0>、CX<0>が入力される。第1～第4ノア回路51～54は、それぞれ第1～第4デコード信号SDa0～SDa3を第1の信号発生ブロック26aの第1～第4トランスファゲートTGa0～TGa3に出力する。

【0062】第1～第4トランスファゲートTGa0～TGa3はCMOS構造であり、シフト動作時における各ノードの充放電(H→L、L→H)の特性がよい。第1～第4デコード信号SDa0～SDa3は各トランスファゲートTGa0～TGa3のPチャネルMOSトランジスタのゲートに供給され、各NチャネルMOSトランジスタのゲートには第1～第4デコード信号SDa0～SDa3をインバータ回路57～60により反転した信号が供給される。

【0063】ナンド回路56には上位3ビットの第2アドレス信号BX<3:1>が入力され、出力端子がノア回路55の入力端子に接続されている。そのノア回路55には第3アドレス信号CX<0>が入力される。ノア回路55は、冗長デコード信号SDaJを出力する。その信号SDaJは冗長用トランスファゲートTGasのNMOSトランジスタのゲートに供給され、PMOSトランジスタのゲートには信号SDaJをインバータ回路61により反転した信号が供給される。

【0064】第2のデコーダブロック27bは、第1のデコーダブロック27aと同様にノア回路51～55、

ナンド回路56、インバータ回路57～61と、ナンド回路62及びノア回路63を含む。第1～第4ノア回路51～54は3入力素子であり、第1アドレス信号AX<0>、AX<3>がそれぞれ入力され、共通に第2及び第3アドレス信号BX<1>、CX<0>が入力される。

【0065】第1ノア回路51の出力端子はノア回路63の入力端子の一方に接続され、そのノア回路63の入力端子の他方はナンド回路62の出力端子に接続されている。ナンド回路62には最下位ビットの第2アドレス信号BX<0>が入力される。そして、ノア回路63から第1デコード信号Sdb0が出力される。その信号Sdb0は第1トランスファゲートTgb0のNMOSトランジスタのゲートに供給され、PMOSトランジスタのゲートには第1デコード信号Sdb0をインバータ回路57により反転した信号が供給される。

【0066】第2～第4ノア回路52～54は、それぞれ第2～第4デコード信号Sdb1～Sdb3を出力する。それら信号Sdb1～Sdb3は第2～第4トランスファゲートTgb1～Tgb3の各PMOSトランジスタのゲートに供給され、各NMOSトランジスタのゲートには第2～第4デコード信号Sdb1～Sdb3をインバータ回路58～60により反転した信号が供給される。

【0067】ナンド回路56には上位2ビットの第2アドレス信号BX<3:2>が入力され、出力端子がノア回路55の入力端子に接続されている。そのノア回路55には第3アドレス信号CX<0>が入力される。ノア回路55は、冗長デコード信号SdbJを出力する。その信号SdbJは冗長用トランスファゲートTGBsのNMOSトランジスタのゲートに供給され、PMOSトランジスタのゲートには信号SdbJをインバータ回路61により反転した信号が供給される。

【0068】第3のデコーダブロック27cは、第2のデコーダブロック27bと同様にノア回路51～55、ナンド回路56、インバータ回路57～61、ナンド回路62及びノア回路63を含む。第1～第4ノア回路51～54は3入力素子であり、第1アドレス信号AX<0>、AX<3>がそれぞれ入力され、共通に第2及び第3アドレス信号BX<2>、CX<0>が入力される。

【0069】第1ノア回路51の出力端子はノア回路63の入力端子の一方に接続され、そのノア回路63の入力端子の他方はナンド回路62の出力端子に接続されている。ナンド回路62には下位2ビットの第2アドレス信号BX<1:0>が入力される。そして、ノア回路63から第1デコード信号SDc0が出力される。その信号SDc0は第1トランスファゲートTgc0のNMOSトランジスタのゲートに供給され、PMOSトランジスタのゲートには第1デコード信号SDc0をインバータ回路57により反転した信号が供給される。

【0070】第2～第4ノア回路52～54は、それぞれ第2～第4デコード信号SDc1～SDc3を出力する。それ

ら信号SDc1~SDc3は第2~第4トランスファゲートTGc1~TGc3の各PMOSTランジスタのゲートに供給され、各NMOSTランジスタのゲートには第2~第4デコード信号SDc1~SDc3をインバータ回路58~60により反転した信号が供給される。

【0071】ナンド回路56には上位1ビットの第2アドレス信号BX<;3>;が入力され、出力端子がノア回路55の入力端子に接続されている。そのノア回路55には第3アドレス信号CX<;0>;が入力される。ノア回路55は、冗長デコード信号SDcJを出力する。その信号SDcJは冗長用トランスファゲートTGcsのNMOSTランジスタのゲートに供給され、PMOSTランジスタのゲートには信号SDcJをインバータ回路61により反転した信号が供給される。

【0072】第4のデコーダブロック27dは、第2及び第3のデコーダブロック27b、27cの構成からノア回路55及びナンド回路56が削除された構成となっている。

【0073】第1~第4ノア回路51~54は3入力素子であり、第1アドレス信号AX<;0>;~AX<;3>;がそれぞれ入力され、共通に第2及び第3アドレス信号BX<;3>;、CX<;0>;が入力される。

【0074】第1ノア回路51の出力端子はノア回路63の入力端子の一方に接続され、そのノア回路63の入力端子の他方はナンド回路62の出力端子に接続されている。ナンド回路62には下位3ビットの第2アドレス信号BX<;2:0>;が入力される。そして、ノア回路63から第1デコード信号SDd0が出力される。その信号SDd0は第1トランスファゲートTGd0のNMOSTランジスタのゲートに供給され、PMOSTランジスタのゲートには第1デコード信号SDd0をインバータ回路57により反転した信号が供給される。

【0075】第2~第4ノア回路52~54は、それぞれ第2~第4デコード信号SDd1~SDd3を出力する。それら信号SDd1~SDd3は第2~第4トランスファゲートTGd1~TGd3の各PMOSTランジスタのゲートに供給され、各NMOSTランジスタのゲートには第2~第4デコード信号SDd1~SDd3をインバータ回路58~60により反転した信号が供給される。

【0076】第3アドレス信号CX<;0>;は冗長デコード信号SDdJとして冗長用トランスファゲートTGdsのNMOSTランジスタのゲートに供給され、PMOSTランジスタのゲートには信号SDdJをインバータ回路61により反転した信号が供給される。

【0077】次に、上記のように構成された半導体記憶装置20の作用を図6に従って説明する。先ず、半導体記憶装置20の動作タイミングを決定するクロック信号CLKの立ち上がりでロウアドレスが取り込まれ、それに基づいてロウ冗長信号が生成され、冗長ワード線(WL)が選択される。

【0078】次に、クロック信号CLKの次の立ち上がりでコラムアドレスが取り込まれ、コラム冗長アドレスが生成され、それに応答してコラム冗長アドレスデコーダが動作する。そのデコーダの出力を受けてシフトスイッチ切替信号発生回路が動作し、シフトスイッチを切替制御する。その結果、冗長データバス線が切替接続される。

【0079】この時、コラムアドレスの取り込みから切替接続が終了するまでに要する時間は、キャスアクセスタイム(コラムアドレスストロブ信号の変化(コラムアドレスの取り込み)から出力データが確定するまでに要する時間)tCACよりも短い。即ち、データの書き込みや読み出し時間には時間規定が設けられており、冗長データバスの切替接続はその規定時間内に完了する。

【0080】上記記述したように、本実施の形態によれば、以下の効果を奏する。

(1) 切替信号発生回路26は、分割された複数(本実施形態では4つ)の信号発生ブロック26a~26dから構成されている。各ブロック26a~26dは、それぞれ分割数に対応する4個ずつのシフトスイッチSW0~SW3, SW4~SW7, SW8~SW11, SW12~SW15を制御する切替信号SC0~SC3, SC4~SC7, SC8~SC11, SC12~SC15を生成するように、第1~第4のブロック26aは、それぞれ高電位電源VDDと低電位電源VSSの間に直列に接続された第1~第4トランスファゲートTGA0~TGA3, TGB0~TGB3, TGC0~TGC3, TGD0~TGD3と冗長用トランスファゲートTGas, TGbs, TGcs, TGbsとから構成されている。その結果、各トランスファゲートTGA0~TGA3, TGas, TGB0~TGB3, TGbs, TGC0~TGC3, TGcs, TGD0~TGD3, TGbsの間のノードから出力される切替信号SC0~SC15は、最大で4個のトランスファゲートによるCR遅延しか受けないため、シフト動作の開始からシフトスイッチの切り替え終了までの動作時間、ひいてはデータの読み書きに要する時間を短くすることができる。

【0081】尚、前記実施形態は、以下の態様に変更してもよい。

○上記実施形態において、切替信号発生回路26の分割数nを、データバス線のビット数や回路規模、tCACなどの規定時間等に基づいて適宜変更して実施してもよい。

【0082】○上記実施形態において、コラム冗長アドレスデコーダ27の構成、即ち第1~第4のデコーダブロック27a~27dの構成を適宜変更してもよい。例えば、図9及び図10に示すように構成された第1~第4のデコーダブロック71a~71dを用いて実施してもよい。

【0083】詳述すると、第1~第4のデコーダブロック71a~71dは、上記実施形態の第2及び第3のデコーダブロック27b、27cと同様な素子により構成されている。即ち、第1~第4のデコーダブロック71

a～71dは同一素子構成である。尚、説明を簡単にするために上記実施形態と同じ符号を付し、上記実施形態と相違する点について説明する。

【0084】第1のデコーダブロック71aのナンド回路62には高電位電源VDDが入力されている。第4のデコーダブロック71dのナンド回路56には高電位電源VDDが入力されている。

【0085】このように構成された第1～第4のデコーダブロック71a～71dは、素子の構成が同じであるため、データバス線の本数を多くしても、容易に対応する（設計する）ことができる。

【0086】○上記実施形態において、データバス線及び入出力データ線のビット数を適宜変更して実施してもよい。また、各冗長単位毎の冗長データバス線の本数を適宜変更して実施してもよい。

【0087】

【発明の効果】以上詳述したように、本発明によれば、シフト冗長方式の冗長装置を備えた半導体記憶装置において、冗長動作に要する時間を短縮することが可能な半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図1】 一実施形態の半導体記憶装置のブロック図である。

【図2】 半導体記憶装置の要部ブロック図である。

【図3】 シフトスイッチの回路図である。

【図4】 冗長アドレスデコーダ及び信号発生回路の回路図である。

【図5】 冗長アドレスデコーダ及び信号発生回路の回路図である。

【図6】 一実施形態の動作波形図である。

【図7】 メモリアレイの説明図である。

【図8】 フレキシブル冗長の説明図である。

【図9】 別の冗長アドレスデコーダ及び信号発生回路の回路図である。

【図10】 別の冗長アドレスデコーダ及び信号発生回路の回路図である。

【図11】 従来のSDRAMの要部回路図である。

【図12】 従来のシフトスイッチ信号発生回路の回路図である。

【符号の説明】

24 冗長装置

25 シフトスイッチ

26 シフトスイッチ切替信号発生回路

26a～26d 信号発生ブロック

27 コラム冗長アドレスデコーダ

27a～27d デコーダブロック

28 ロウ情報判定回路

DB0～DB15 第1～第16データバス線

DBs 冗長用データバス線

DL0～DL15 第1～第16入出力データ線

CRA 冗長アドレス

RX ロウブロックアドレス情報

TGa0～TGa3, ..., TGd0～TGd3 スイッチとしてのトランスファゲート

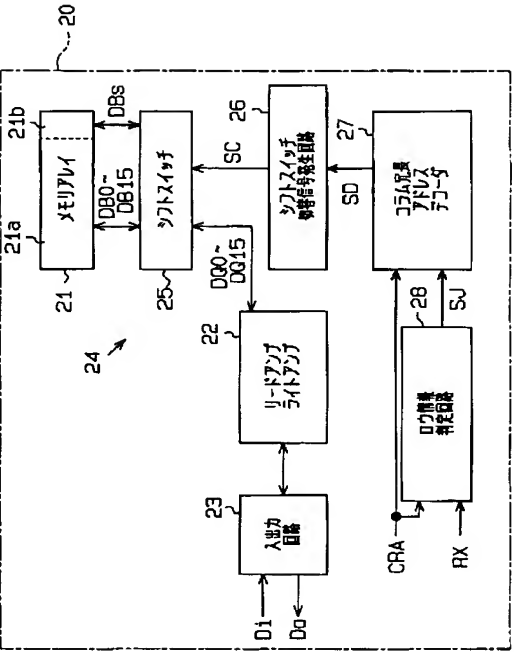
TGas, TGbs, TGcs, TGds 冗長用スイッチとしての冗長用トランスファゲート

SC0～SC15 切替信号

SDa0～SDa3, ..., SDdJ デコード信号及び冗長デコード信号

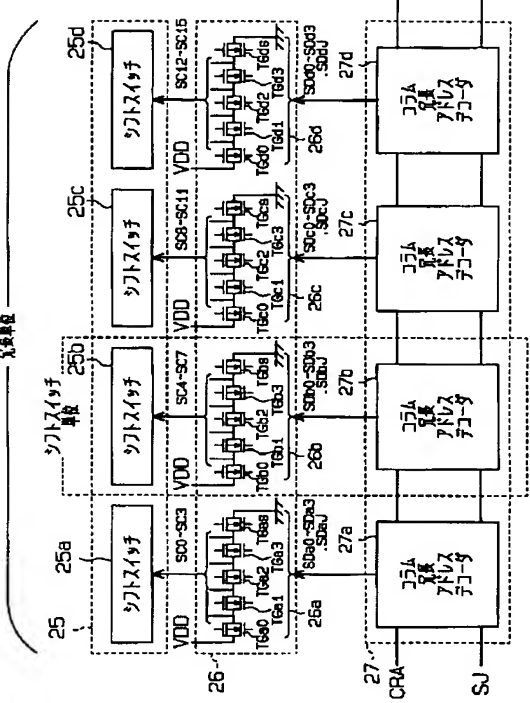
【図1】

一実施形態の半導体記憶装置のブロック図



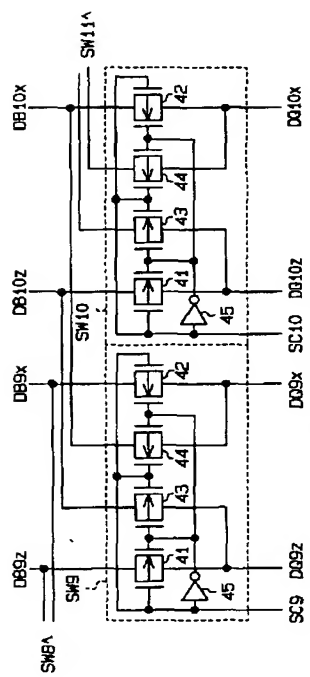
【図2】

冗長装置のブロック図



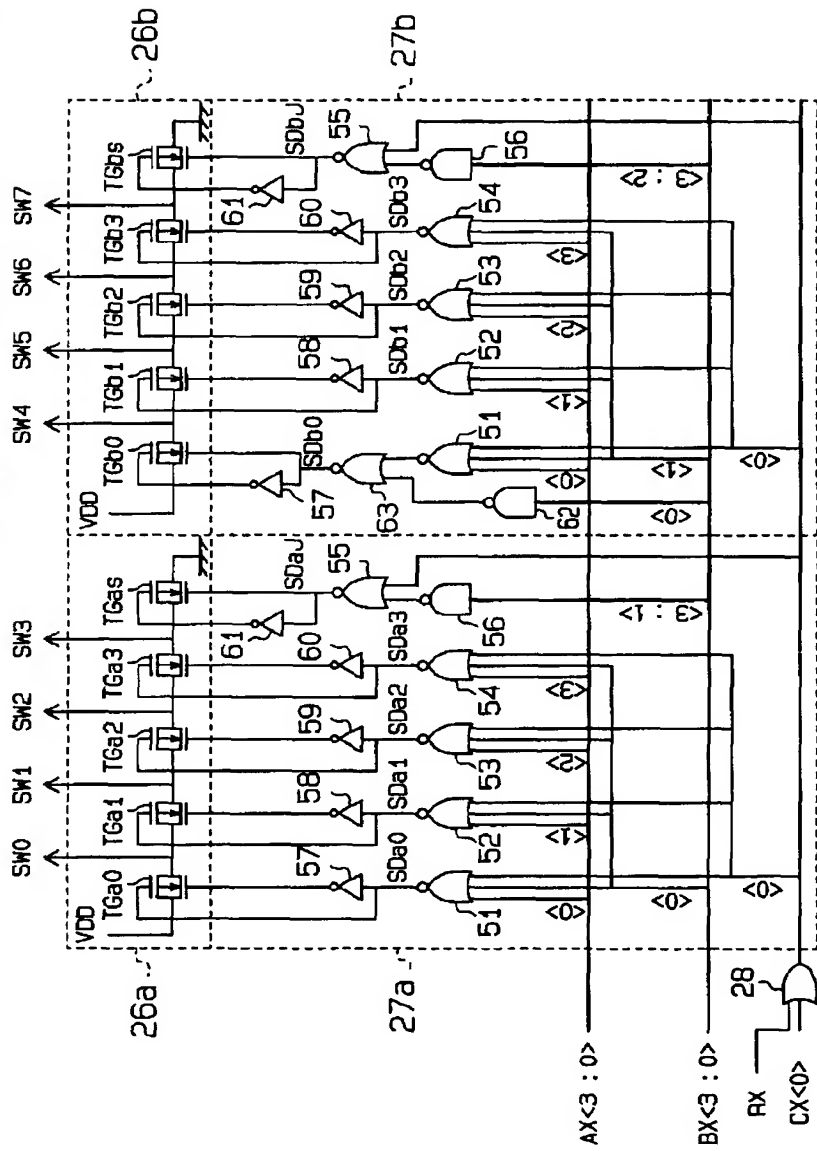
【図3】

ソフトスイッチの回路図



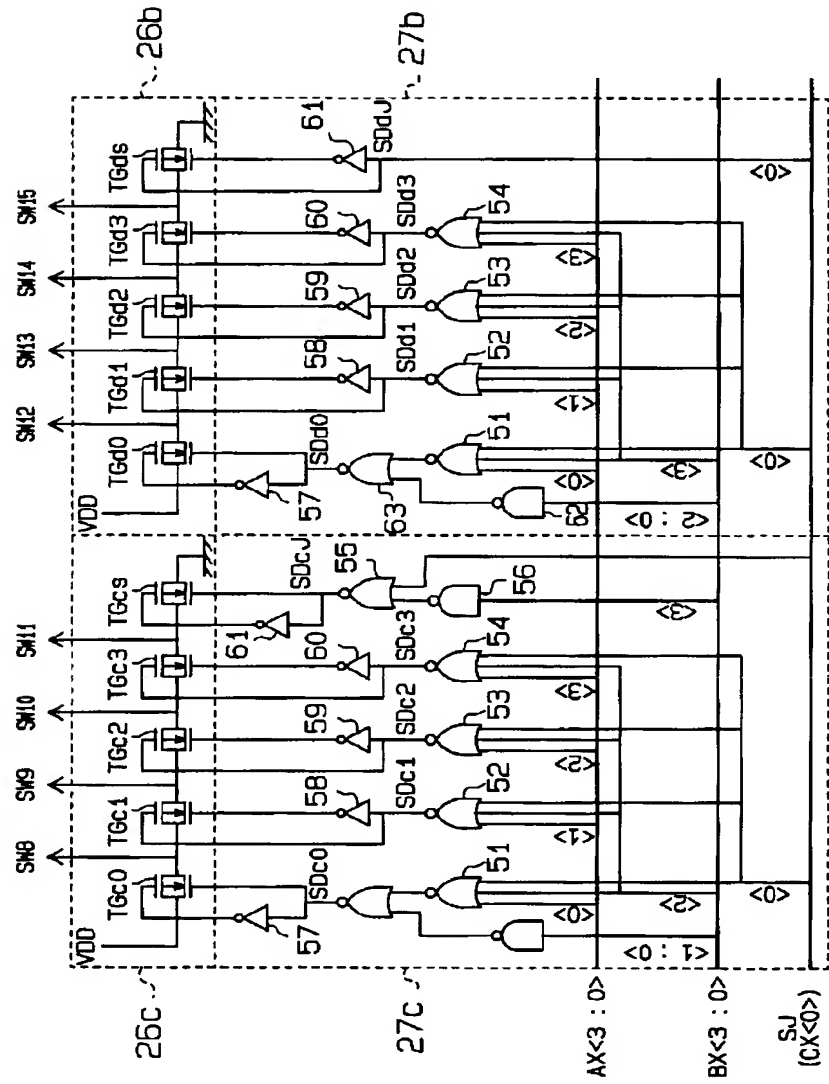
【図4】

冗長アドレスデコーダ及び信号発生回路の回路図



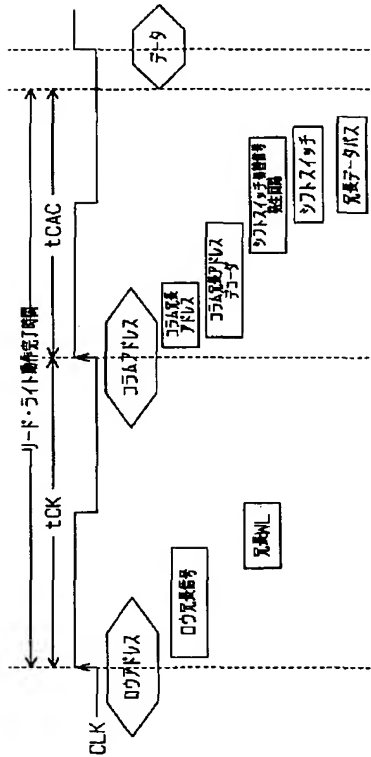
【 図 5 】

冗長アドレスデコード及び信号発生回路の回路図



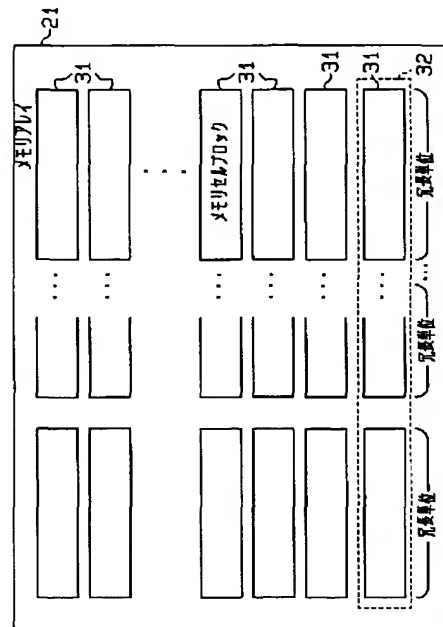
【図6】

一実施形態の動作波形図



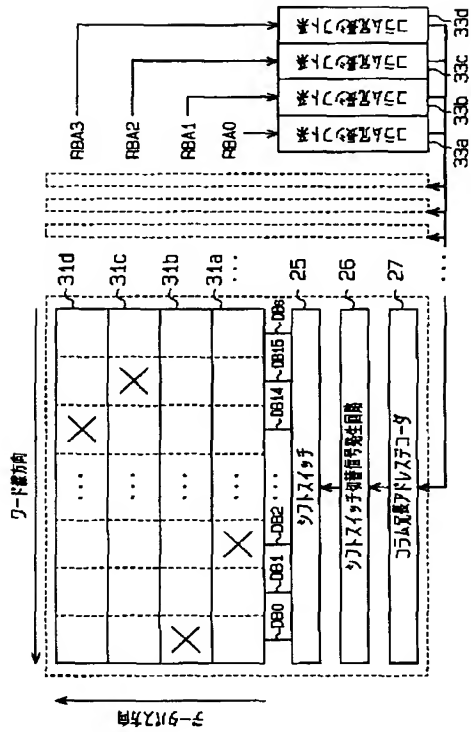
【図7】

メモリアレイの説明図



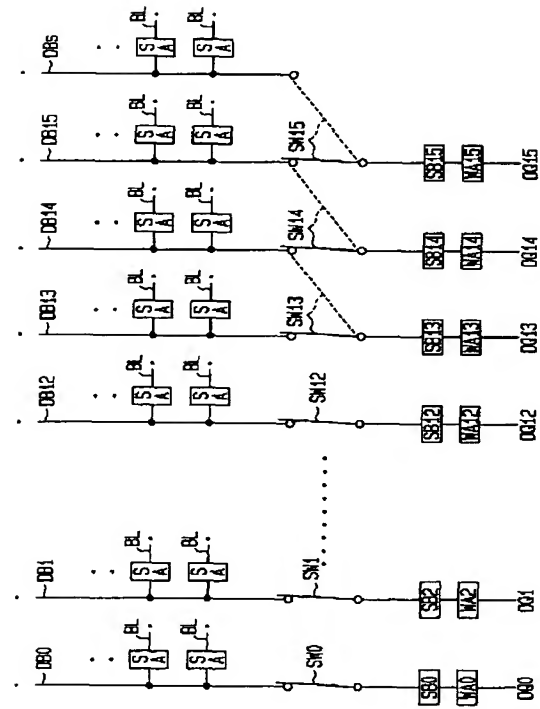
【図8】

フレキシブル冗長の説明図



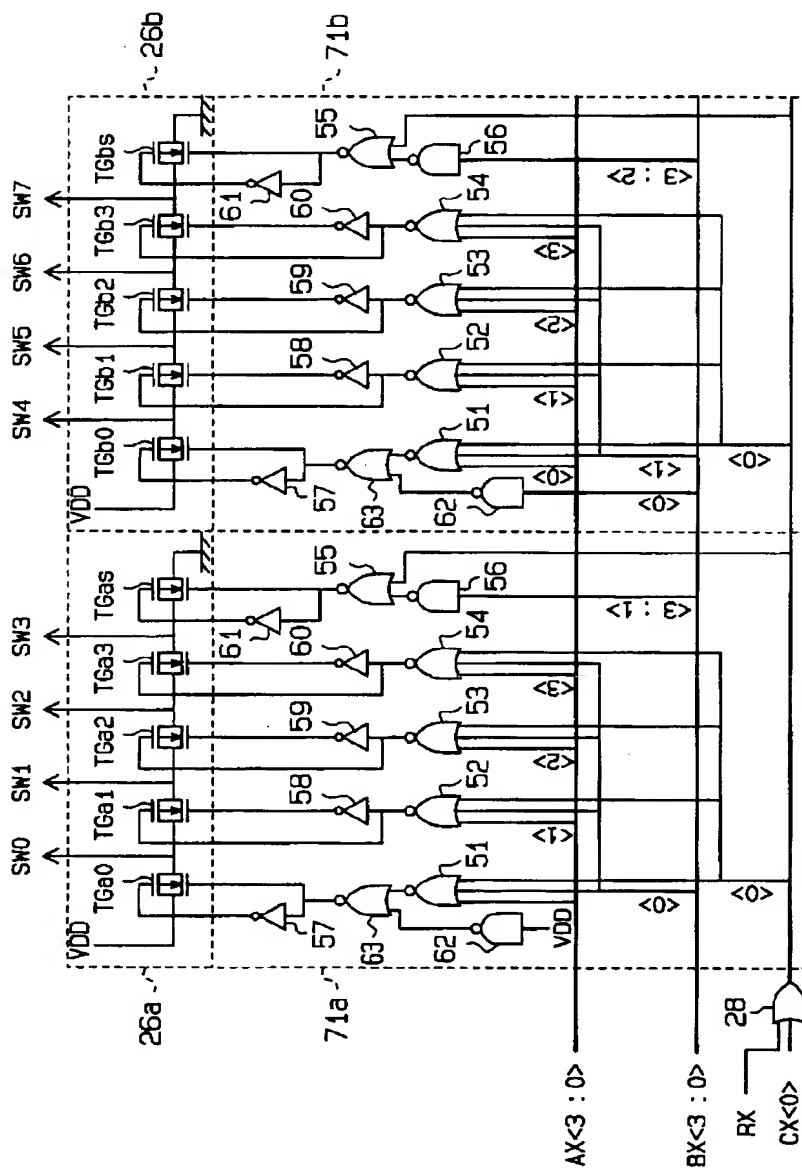
【図11】

従来のSDRAMの接続回路図



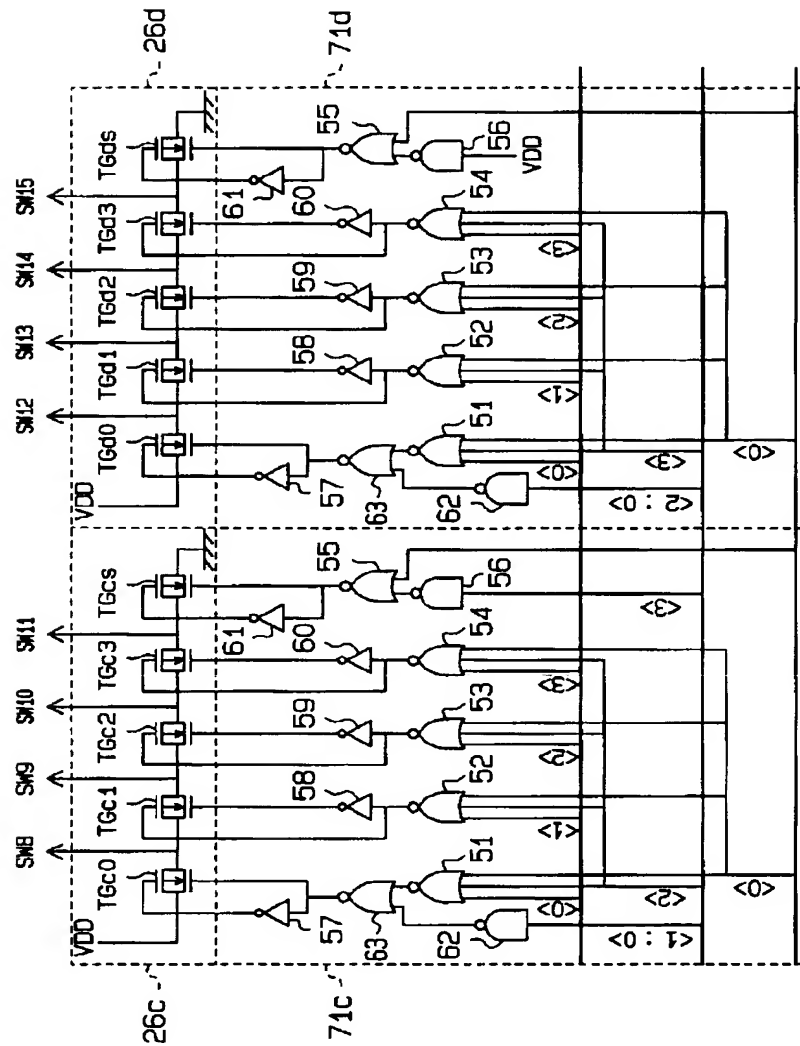
【図9】

別の冗長アドレスデコーダ及び信号発生回路の回路図



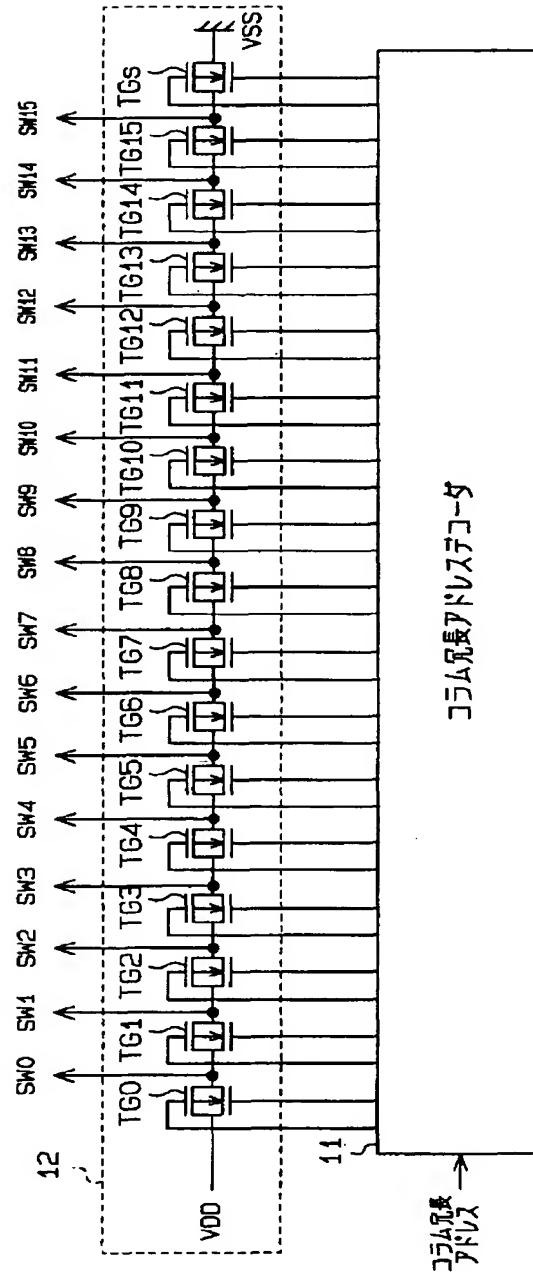
【図10】

別の冗長アドレスデコーダ及び信号発生回路の回路図



【図12】

従来のシフトスイッチ信号発生回路の回路図



(8) 0 1 - 3 4 4 9 9 1 (P 2 0 0 1 - 3 4 5 \$ 8

フロントページの続き

(72)発明者 小川 和樹
愛知県春日井市高蔵寺町二丁目1844番2
富士通ヴィエルエスアイ株式会社内

F ターム(参考) 5B024 AA15 BA18 CA07 CA16 CA17
5L106 AA01 CC07 CC11 CC17 CC21
CC32 GG07